



Modeling Design Technology

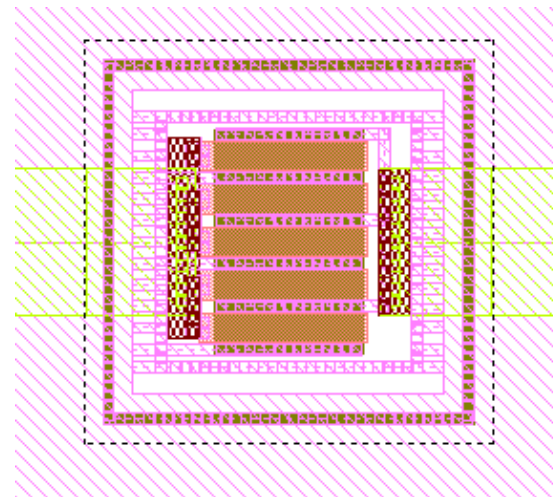
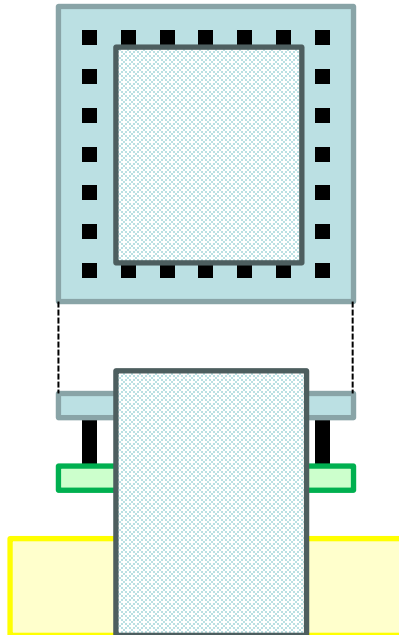
CMOS素子および受動素子デバイスモデリング用 TEG設計支援サービス

環境温度は極低温にも対応

MODECH Inc.

<http://www.modech.com>

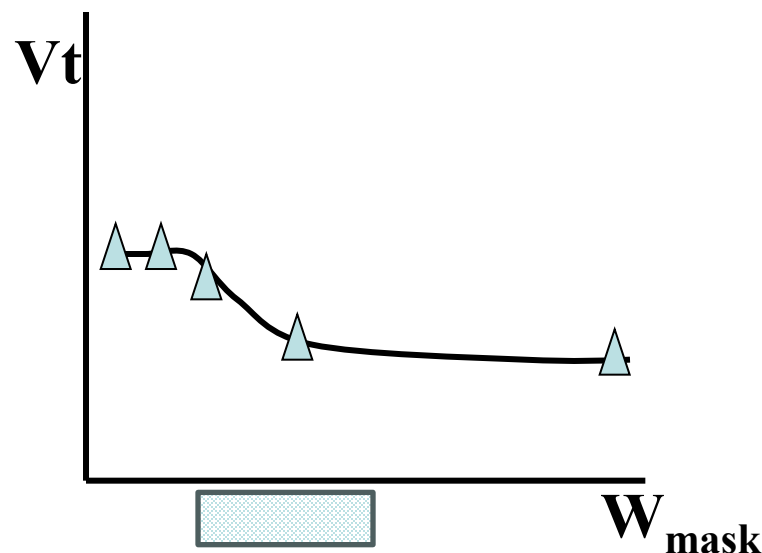
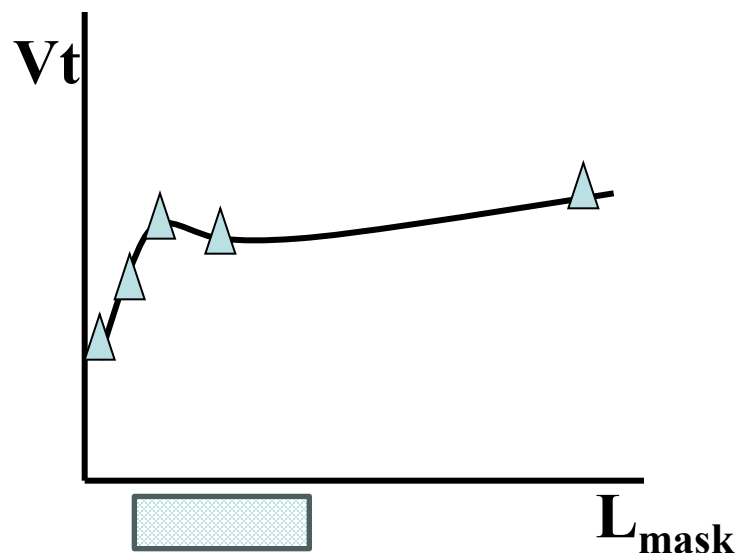
極低温環境においては、冷却ステージ内のヘリウム圧力により無視できない[]発生することがあります。この現象は、プローブ[]するだけでなく、サンプルの[]引き起こします。したがって、極低温用のTEG側で、それらの現象に対応した構造を準備することが要求されます。



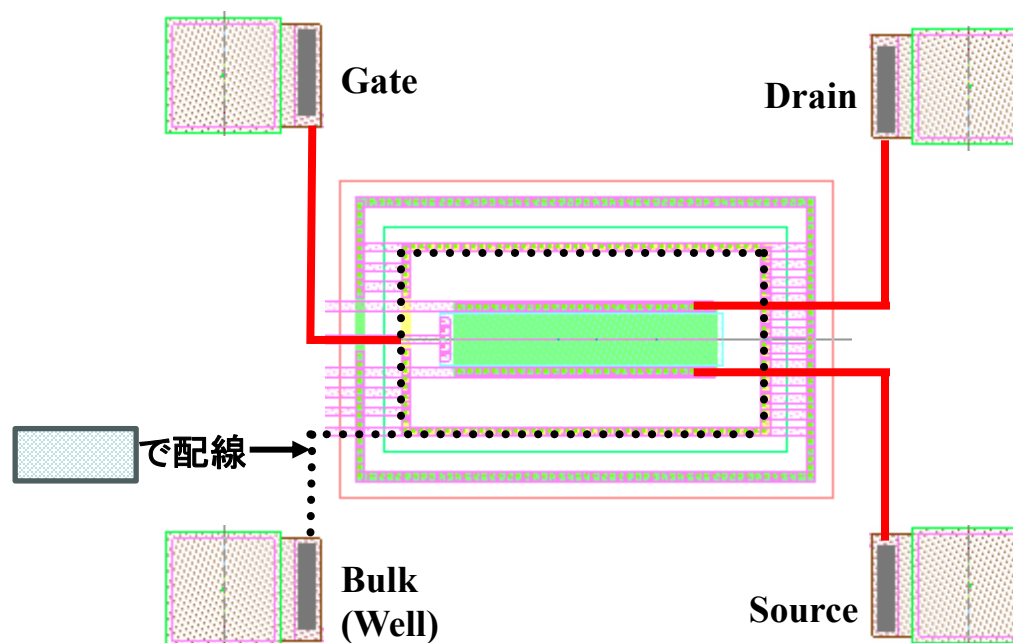
- ① MOSFETモデルパラメータ抽出用TEG
 - DC TEG
 - ・サイズ、レイアウト
 - CV TEG
 - ・TEGの種類
 - SパラメータTEG (De-embedについての解説)
 - ・プローブピッチ
 - ・オープンTEG、ショートTEG作成方法
 - ・サイズ、レイアウト
 - ・ウエルアイソレーションTEG
 - ・サブストレートカップリングTEG
 - ノイズTEG
 - ・サイズ、レイアウト
- ② パッシブ部品測定用TEG
 - 抵抗、キャパシタ、インダクタ
 - ・オープンTEG、ショートTEG作成方法
 - ・TEGの種類

以下のポイントについては細かく取ることが必要

- V_t のゲート長依存モデリング
 - L_{mask} (ゲートのマスク長)が [] 以下で逆短チャネル効果により V_t が上昇する
 - 更に L_{mask} が [] 以下となると短チャネル効果により V_t が急激に低下する
- V_t のゲート幅依存モデリング
 - W_{mask} (ゲートのマスク幅)が [] 以下で V_t の変化が大きくなる
 - バックバイアスにより、 W_{mask} が [] 以下で V_t の逆 W 依存が出る

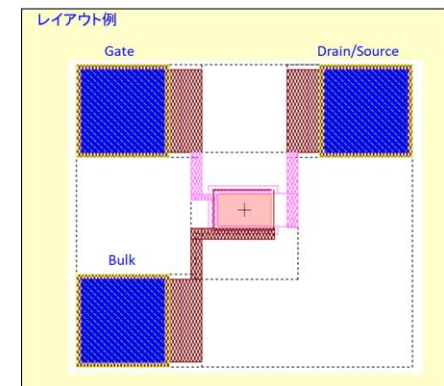


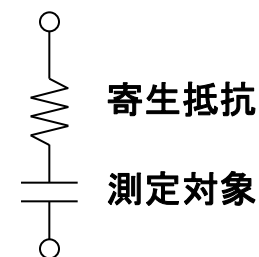
モデリング対象サイズ領域



	Hi端子	Lo端子	ガード	L[μm]	W[μm]	フィンガ数	用途
①	G	B	SD				酸化膜容量抽出
②	G	SD	B				オーバーラップ容量抽出
③	G	SD	B				抽出
④	G	SD	B				抽出
⑤	G	SD	B				抽出
⑥	G	SD	B				抽出
⑦	G	SD	B				抽出
⑧	G	SD	B				抽出
⑨	G	SD	B				抽出
⑩	D	B					面積接合容量抽出
⑪	D	B					周囲長接合容量抽出
⑫	D	B					LDD部接合容量抽出

- ① 酸化膜容量測定用TEG
- ② オーバーラップ容量測定用TEG－SD共通
- ③～⑤ DLC抽出用TEG－SD共通
- ⑥～⑨ DWC抽出用TEG－SD共通
- ⑩ 接合容量測定用TEG(面積大)
- ⑪ 接合容量測定用TEG(周囲長大)
- ⑫ 接合容量測定用TEG(LDD部周囲長大)





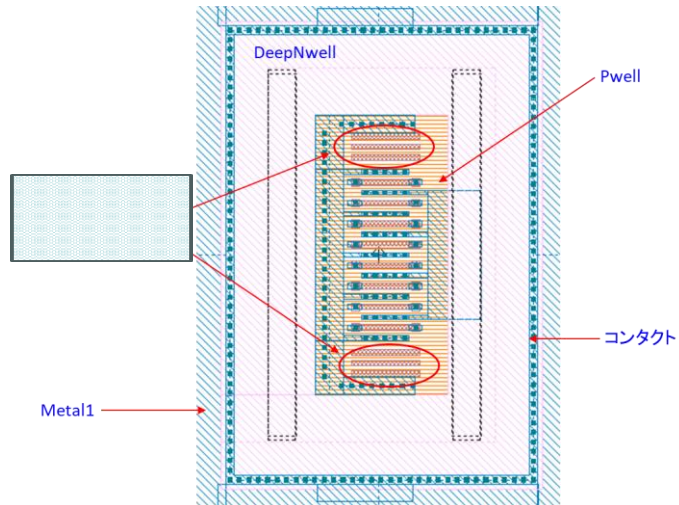
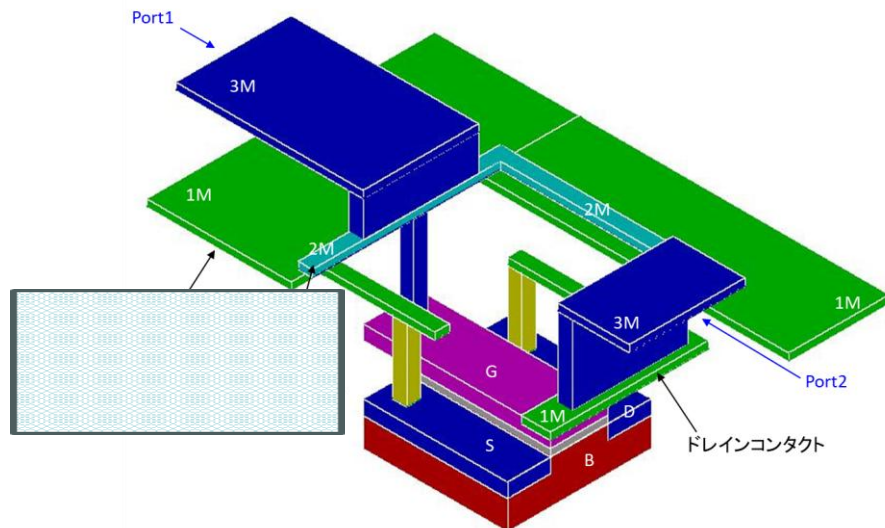
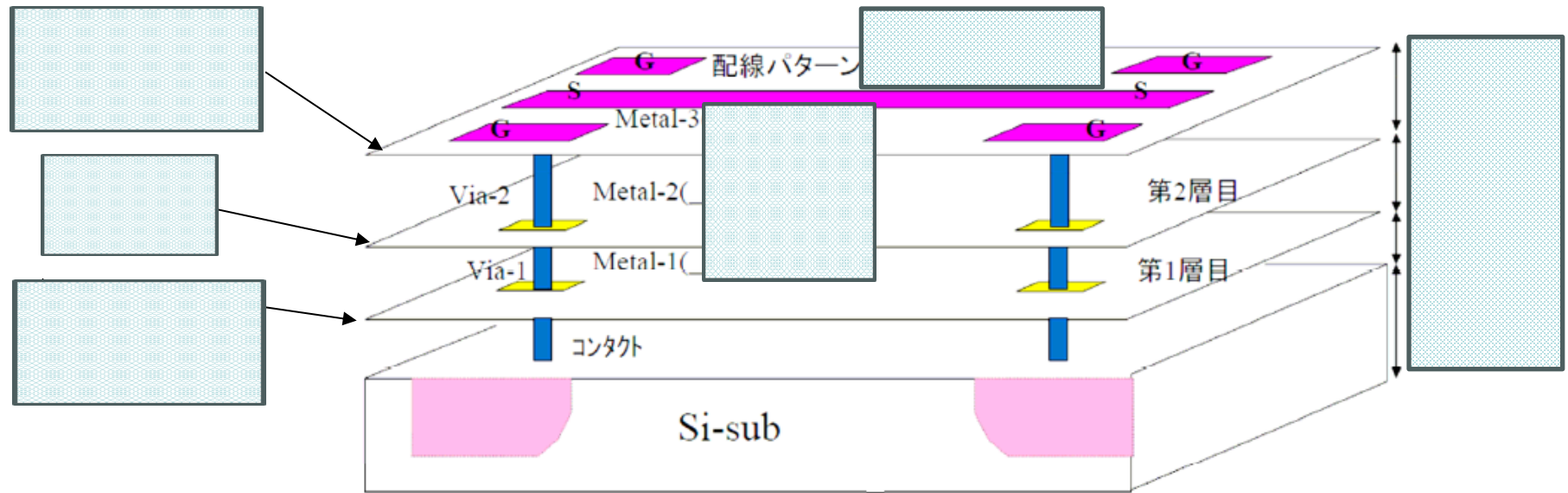
容量TEG作成時の目安

- ・校正用オープンパッドは、デバイスを残し、1M以下のコンタクトのみ削除
- ・校正用オープンパッドが共用できない場合はそれぞれ用意する
- ・コンタクトする領域が広い場合、Via密度を多くする
- ・NMOS、PMOSそれぞれのTEGが必要

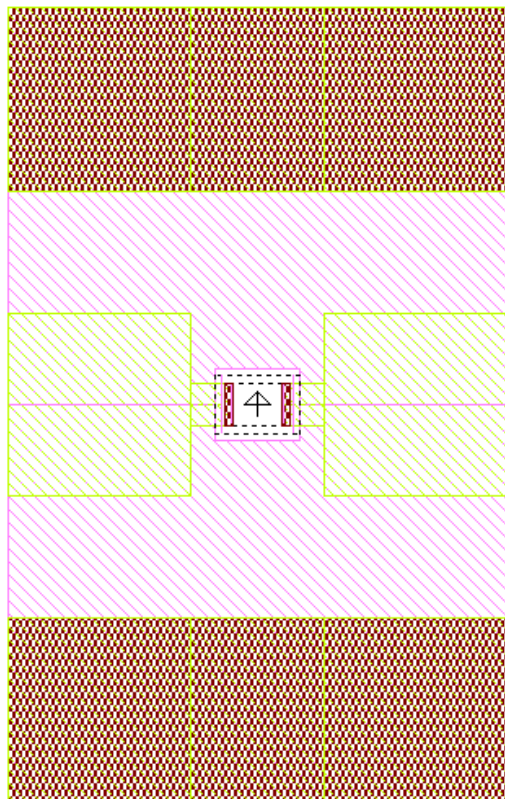
- ・サイズ等は回路設計で使用する範囲から選択
- ・基準面はデバイス+コンタクトの位置に設定
- ・各サイズでDe-embed用TEGのオープンとショートを用意

$L(\mu m) \setminus NF$						
	○	○	○	○	○	○
	○					
	○					

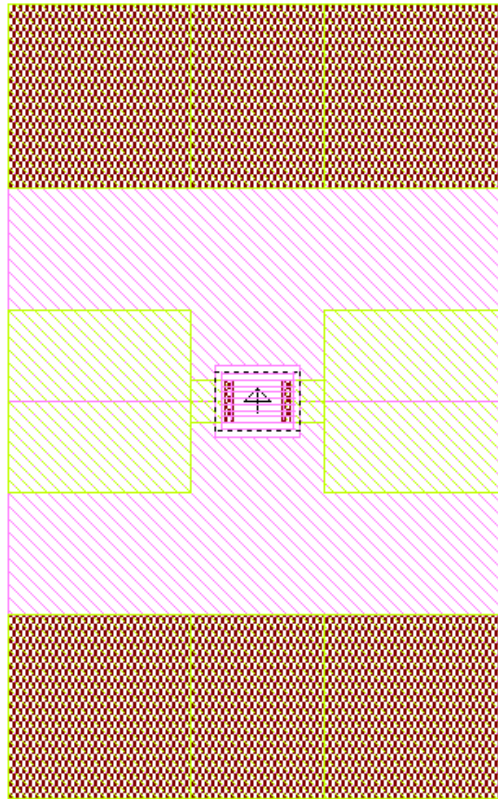
Sパラメータ測定用TEG配線の割り当て



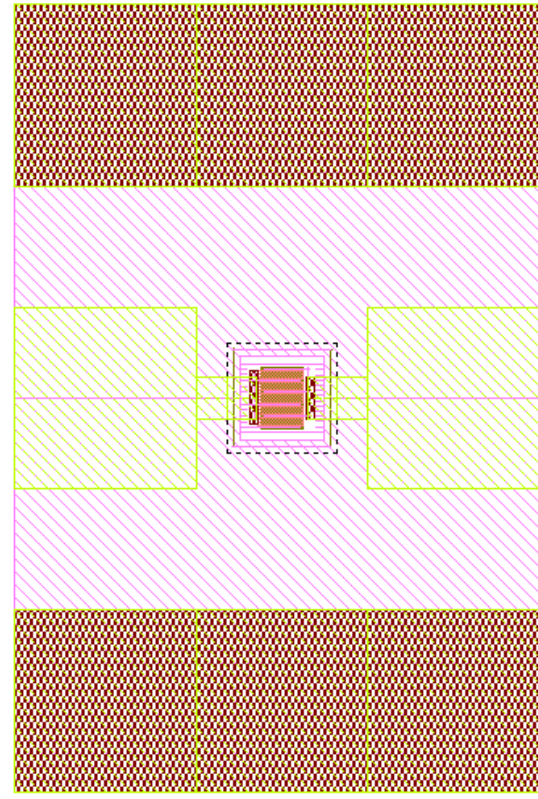
オープン



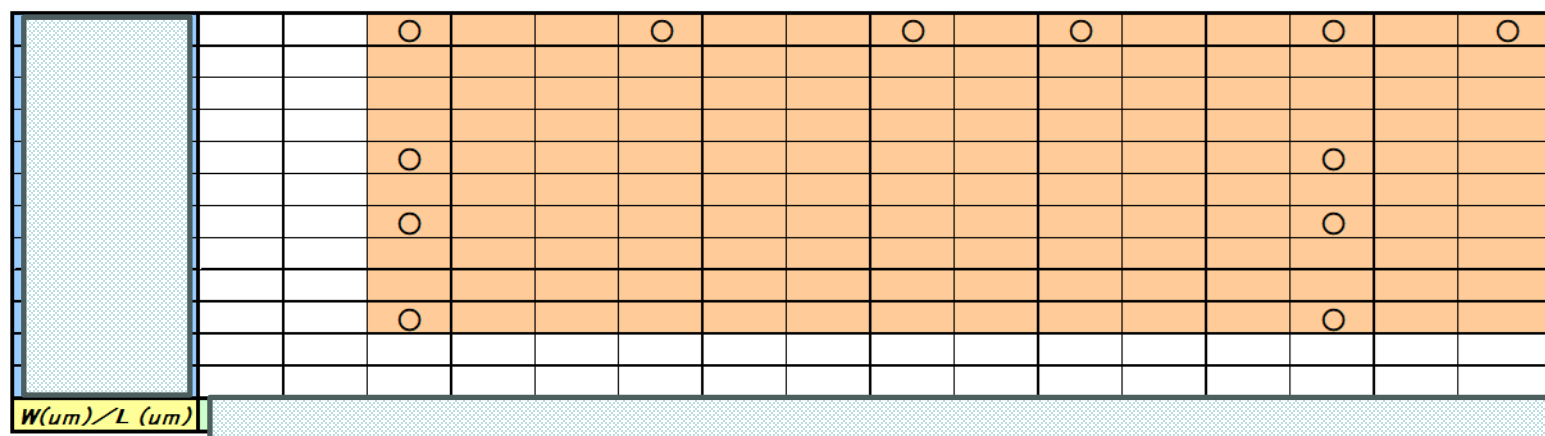
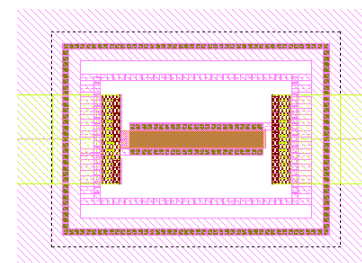
ショート



デバイス



- ・サイズ等は回路設計で使用する範囲から選択
- ・測定にRFプローブを使用するため、GSGパッドで作成
- ・CMOS回路用には  構造で作成
- ・マルチフィンガはRFMOSのTEGを流用



 モデリング対象サイズ領域

- ・サイズ等は回路設計で使用する範囲から選択
- ・測定にRFプローブを使用するため、GSGパッドで作成
- ・基準面はの位置に設定
- ・各サイズでDe-embed用TEGのオープンとショートを用意

CAPACITOR

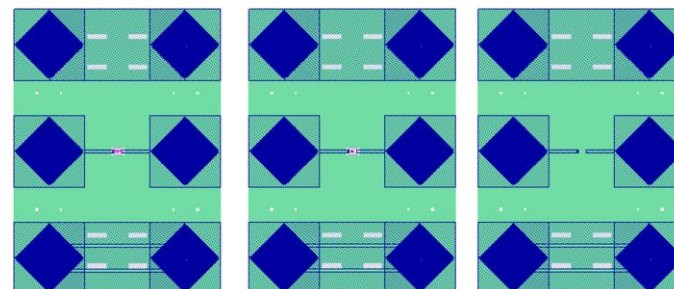
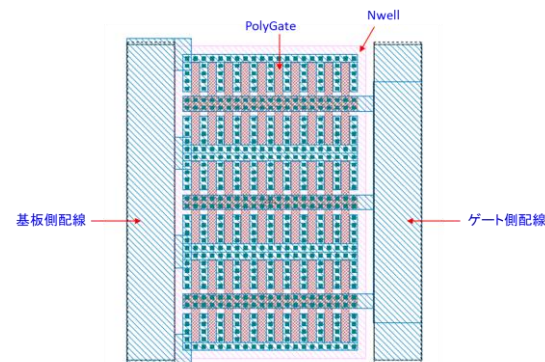
L[μm]/W[μm]				
	○			
		○		
			○	
				○

RESISTER

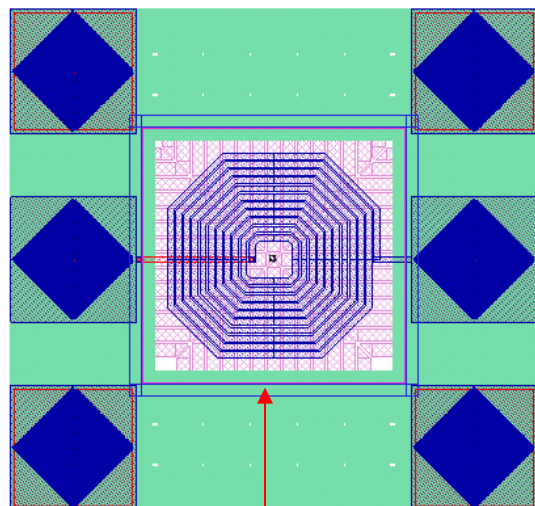
L[μm]/W[μm]				
	○	○	○	
	○	○	○	
	○	○	○	
	○	○	○	
		○		○

INDUCTOR

Xサイズ[μm]	Yサイズ[μm]	巻数	線幅	P1リード(長さX幅)	P2リード(長さX幅)

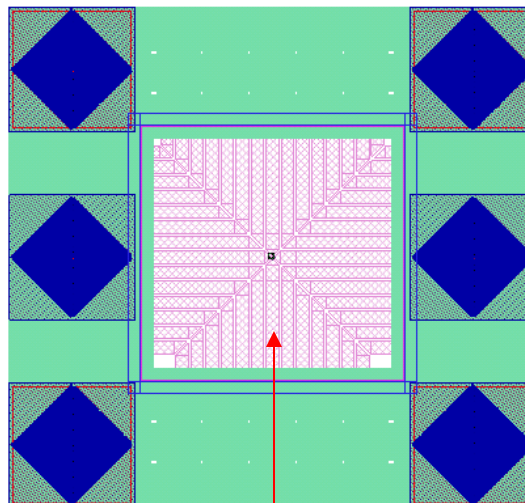


デバイス



ガードリング

オープン



Poly Gate

ショート

